

24.12.2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年 1 2 月 2 6 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 4 3 5 2 6 5  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 4 3 5 2 6 5 ]

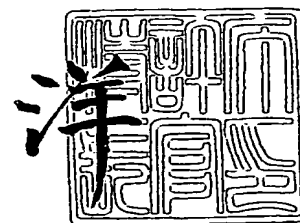
出 願 人            ローム株式会社  
Applicant(s):

BEST AVAILABLE COPY

2 0 0 5 年   2 月   4 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



出証番号   出証特 2 0 0 5 - 3 0 0 6 8 0 2

【書類名】 特許願  
【整理番号】 PR2-00506  
【提出日】 平成15年12月26日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/78  
【発明者】  
    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内  
    【氏名】 高石 昌  
【特許出願人】  
    【識別番号】 000116024  
    【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地  
    【氏名又は名称】 ローム株式会社  
【代理人】  
    【識別番号】 100087701  
    【弁理士】  
    【氏名又は名称】 稲岡 耕作  
【選任した代理人】  
    【識別番号】 100101328  
    【弁理士】  
    【氏名又は名称】 川崎 実夫  
【手数料の表示】  
    【予納台帳番号】 011028  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9401527

## 【書類名】特許請求の範囲

## 【請求項 1】

第 1 導電型の半導体基板と、

この半導体基板上に設けられ、上記第 1 導電型のドリフト層、および上記第 1 導電型とは異なる第 2 導電型のリサーフ層を、上記半導体基板に平行な横方向に交互に配置してスーパージャンクション構造を形成した半導体層とを含み、

上記リサーフ層は、上記半導体層を貫通するトレンチの内側壁に沿って形成されており、

上記ドリフト層は、上記リサーフ層が上記半導体基板との接触部を有しないように、上記リサーフ層と上記半導体基板との間に介在する分離領域を有していることを特徴とする半導体装置。

## 【請求項 2】

上記リサーフ層が、上記トレンチの幅方向一方側の内側壁に沿って形成されており、

上記ドリフト層が、上記トレンチの上記一方側とは異なる他方側の内側壁に沿って形成されており、

上記ドリフト層は、上記トレンチと上記リサーフ層との間に挟まれた部分の横方向の幅が、上記分離領域の上記トレンチの深さ方向に沿う縦方向の幅にほぼ等しくなっていることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 3】

上記リサーフ層が、上記トレンチの幅方向両側の内側壁に沿って形成されており、

上記ドリフト層は、隣接する 2 つの上記リサーフ層に挟まれた部分の横方向の幅が、上記分離領域の上記トレンチの深さ方向に沿う縦方向の幅のほぼ 2 倍になっていることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 4】

上記ドリフト層および上記リサーフ層に接するように形成された上記第 2 導電型のベース領域と、

上記ベース領域に接するように形成され、上記ベース領域により上記ドリフト層および上記リサーフ層と隔てられた上記第 1 導電型のソース領域と、

上記ソース領域と上記ドリフト層との間のベース領域にゲート絶縁膜を挟んで対向配置されたゲート電極とをさらに備えたことを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体装置。

## 【請求項 5】

第 1 導電型の半導体基板上に、上記第 1 導電型のドリフト層、および上記第 1 導電型とは異なる第 2 導電型のリサーフ層を、上記半導体基板に平行な横方向に交互に配置してスーパージャンクション構造を形成した半導体層を有する半導体装置の製造方法であって、

上記第 1 導電型の半導体基板の上に、上記第 1 導電型の半導体層を形成する工程と、

上記半導体層に、上記半導体層の途中に至る深さを有するトレンチを形成する第 1 トレンチ形成工程と、

この第 1 トレンチ形成工程の後、上記トレンチの内側壁に沿う領域に上記第 2 導電型のリサーフ層を形成するために、上記トレンチの内側壁に露出した上記半導体層に上記第 2 導電型の不純物を導入するトレンチ内不純物導入工程と、

このトレンチ内不純物導入工程の後、上記トレンチの深さを上記半導体層を貫通し上記半導体基板に至る深さにする第 2 トレンチ形成工程とを含むことを特徴とする半導体装置の製造方法。

## 【請求項 6】

第 1 導電型の半導体基板上に、上記第 1 導電型のドリフト層、および上記第 1 導電型とは異なる第 2 導電型のリサーフ層を、上記半導体基板に平行な横方向に交互に配置してスーパージャンクション構造を形成した半導体層を有する半導体装置の製造方法であって、

上記第 1 導電型の半導体基板の上に、上記第 1 導電型の半導体層を形成する工程と、

上記半導体層を貫通し上記半導体基板に至るトレンチを形成する工程と、

上記トレンチの内側壁に沿う領域に上記第2導電型のリサーフ層を形成するために、上記トレンチの内側壁に露出した上記半導体層に、上記第2導電型の不純物を、上記トレンチ内側壁への到達範囲が、上記トレンチの深さ方向に関して上記半導体基板が存在する深さより浅い領域に制限されるような傾斜角で打ち込むトレンチ内不純物導入工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】

上記半導体層の表面に上記第2導電型の不純物を導入して、上記リサーフ層と接する上記第2導電型のベース領域を形成する工程と、

上記ベース領域に上記第1導電型の不純物を導入して、上記ベース領域の残部により上記ドリフト層およびリサーフ層と隔てられた上記第1導電型のソース領域を形成する工程と、

上記ソース領域と上記ドリフト層との間の上記ベース領域に対向するゲート絶縁膜を形成する工程と、

上記ゲート絶縁膜を挟んで、上記ソース領域と上記ドリフト層との間の上記ベース領域に対向配置されたゲート電極を形成する工程とをさらに含むことを特徴とする請求項5または6記載の半導体装置の製造方法。

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【技術分野】

【0001】

本発明は、いわゆるスーパージャンクション構造を有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

MOS電界効果トランジスタ(Metal Oxide Semiconductor Field Effect Transistor; MOS FET)が形成された半導体装置において、耐圧の向上が試みられている。

図5は、MOS FETが形成された従来の半導体装置(特許文献1参照)の図解的な断面図である。

N<sup>++</sup>型の半導体基板51の上には、N型のドリフト層(N型ピラー層)52およびP型のリサーフ層(P型ピラー層)53を含む半導体層54が形成されている。ドリフト層52とリサーフ層53とは、半導体基板51に平行な方向に交互に繰り返し現れるように配置されており、いわゆるスーパージャンクション構造を形成している。

【0003】

半導体層54をその厚さ方向に貫通して、半導体基板51と半導体層54との界面に至る深さを有する複数のトレンチ55が形成されている。この複数のトレンチ55は、半導体基板51にほぼ垂直な内側壁をそれぞれ有しており、ほぼ等間隔で互いに平行に形成されている。トレンチ55の内壁は、酸化膜63で覆われており、その内部はポリシリコンや誘電体などからなる埋め込み層64で埋められている。

【0004】

ドリフト層52は、トレンチ55に沿って配置されている。リサーフ層53は、隣接する2つのトレンチ55にそれぞれ沿う一対のドリフト層52の間に配置されている。リサーフ層53は、ドリフト層52および半導体基板51に接している。

ドリフト層52の上には、N型領域56が形成されている。リサーフ層53の上には、N型領域56と接するようにP型のベース層57が形成されている。ベース層57の表層部には、N型のソース領域58が形成されている。

【0005】

絶縁膜59を挟んで、N型領域56とソース領域58との間にあるベース層57およびその近傍に対向するように、ゲート電極60が配置されている。また、ソース領域58およびベース層57に接するように、ソース電極61が形成されている。半導体基板51の裏面(ゲート電極60やソース電極61が形成されている面とは反対側の面)には、ドレイン電極62が形成されている。

【0006】

この半導体装置は、ソース電極61およびドレイン電極62の一方と外部負荷とが接続された状態で、ソース電極61およびドレイン電極62の他方と外部負荷との間に、電源により一定の電圧が印加された状態で使用される。この印加される電圧は、リサーフ層53およびドリフト層52により形成されるPN接合に対して逆バイアスを与える。

この状態で、ゲート電極60を適当な電位にする(MOS FETをオン状態にする)ことにより、ソース電極61とドレイン電極62との間に電流を流すことができる。この際、N型領域56とソース領域58との間のベース層57において、絶縁膜59との界面近傍にチャンネルが形成される。これにより、ドレイン電極62から、半導体基板51、ドリフト層52、N型領域56、ベース層57の絶縁膜59との界面近傍(チャンネル)、およびソース領域58を経て、ソース電極61へと電流が流れる。

【0007】

この際、リサーフ層53およびドリフト層52により形成されるPN接合には、外部負荷とMOS FETのオン抵抗とで分圧した逆バイアスがかかるが、これにより生じる空乏層の拡がりはずかであり、ドリフト層52にはキャリア(電子)の経路が残される。

次に、このMOS FETがオフ状態のとき、すなわち、ゲート電極60が上記の適当な電位にされていないときについて説明する。この場合、チャネルは形成されず、MOS FETには電流が流れないので、ドリフト層52とリサーフ層53とにより形成されるPN接合には、電源電圧がそのまま逆バイアスとして印加されることになる。そのため、ドリフト層52とリサーフ層53との界面Sからドリフト層52およびリサーフ層53へと空乏層がすみやかに広がり、ドリフト層52およびリサーフ層53が完全に空乏化する。これにより、理論上は、優れた耐圧を実現できる。

【特許文献1】特開2003-46082号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところが、リサーフ層53は導電型が $N^{++}$ 型である半導体基板51にも接しているため、ドリフト層52とリサーフ層53とにより形成されるPN接合に逆バイアス電圧が印加されると、リサーフ層53と半導体基板51との界面からも、リサーフ層53および半導体基板51中へと空乏層が広がる。

このとき、半導体基板51とドリフト層52とで不純物濃度が異なることなどにより、ドリフト層52とリサーフ層53との界面近傍と、半導体基板51とリサーフ層53との界面近傍とでは、空乏層の広がり方が異なる。これにより、半導体装置がオフ状態のとき、空乏層において局所的に強い電界が生じ、この部分で電流が流れる。このため、このような半導体装置の耐圧は、実際には満足できるレベルではなかった。

【0009】

そこで、この発明の目的は、耐圧を向上させることができる半導体装置を提供することである。

この発明の他の目的は、耐圧を向上させることができる半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0010】

上記の課題を解決するための請求項1記載の発明は、第1導電型の半導体基板(2)と、この半導体基板上に設けられ、上記第1導電型のドリフト層(3)、および上記第1導電型とは異なる第2導電型のリサーフ層(9)を、上記半導体基板に平行な横方向に交互に配置してスーパージャンクション構造を形成した半導体層(13)とを含み、上記リサーフ層は、上記半導体層を貫通するトレンチ(4)の内側壁に沿って形成されており、上記ドリフト層は、上記リサーフ層が上記半導体基板との接触部を有しないように、上記リサーフ層と上記半導体基板との間に介在する分離領域(3v)を有していることを特徴とする半導体装置(1, 31)である。

【0011】

なお、括弧内の数字は、後述の実施形態における対応構成要素等を表す。以下、この項において同じ。

この発明に係る半導体装置は、ドリフト層およびリサーフ層によるPN接合に対して逆バイアスの電圧が印加されると、ドリフト層とリサーフ層との界面(以下、単に「界面」という。)からドリフト層およびリサーフ層に空乏層が広がる。この場合、印加される電圧が一定以上の大きさになると、ドリフト層およびリサーフ層はほぼ完全に空乏化する。このためこの半導体装置は一定の耐圧(たとえば、数百V)を有することができる。

【0012】

ドリフト層とリサーフ層とは、半導体基板に平行な方向に交互に(繰り返し)現れる。また、ドリフト層は、リサーフ層と半導体基板との間にも存在し、リサーフ層は半導体基板と直接接していない。すなわち、リサーフ層と半導体基板との間、およびリサーフ層とトレンチまたは隣接する他のリサーフ層との間には、同じドリフト層、すなわちほぼ均一な不純物濃度を有する半導体部が存在している。

【0013】

したがって、ドリフト層において空乏層は界面から均等に広がることができる。すなわち、ドリフト層において、空乏層は界面からドリフト層を挟んで対向するトレンチ側（半導体基板に平行な方向）に広がることも、ドリフト層を挟んで対向する半導体基板側（半導体基板に垂直な方向）にも同等に広がることもできる。したがって、空乏層において他の部分より電界が強い部分は生じないので、界面を介して容易に電流が流れない。すなわち、この半導体装置は従来の半導体装置に比べて、耐圧を向上（たとえば、200Vないし1000Vに）できる。

#### 【0014】

リサーフ層が半導体層を貫通するトレンチの内側壁に沿って形成されていることにより、この半導体装置の製造工程において、トレンチの内側壁に第2導電型の不純物（第2導電型への制御のための不純物）を導入して、リサーフ層を容易に形成できる。

請求項2記載の発明は、上記リサーフ層が、上記トレンチの幅方向一方側の内側壁に沿って形成されており、上記ドリフト層が、上記トレンチの上記一方側とは異なる他方側の内側壁に沿って形成されており、上記ドリフト層は、上記トレンチと上記リサーフ層との間に挟まれた部分（3H）の横方向の幅（D<sub>1</sub>）が、上記分離領域の上記トレンチの深さ方向に沿う縦方向の幅（D<sub>2</sub>）にほぼ等しくなっていることを特徴とする請求項1記載の半導体装置（1）である。

#### 【0015】

この発明によれば、ドリフト層において、リサーフ層とトレンチとの間に挟まれた部分の横方向の幅は、分離領域の縦方向の幅（リサーフ層と半導体基板との間の幅）にほぼ等しい。これにより、空乏層は界面からドリフト層中に、隣接するトレンチ側および半導体基板側に同じ幅で広がることもできる。したがって、空乏層における電界の強さを常に均一にすることができるので、この半導体装置の耐圧は高い。

#### 【0016】

請求項3記載の発明は、上記リサーフ層が、上記トレンチの幅方向両側の内側壁に沿って形成されており、上記ドリフト層は、隣接する2つの上記リサーフ層に挟まれた部分（3H）の横方向の幅（D<sub>3</sub>）が、上記分離領域の上記トレンチの深さ方向に沿う縦方向の幅（D<sub>4</sub>）のほぼ2倍になっていることを特徴とする請求項1記載の半導体装置（31）である。

#### 【0017】

この発明によれば、ドリフト層において、隣接する2つのリサーフ層の間に挟まれた部分の横方向の幅は、分離領域の縦方向の幅（リサーフ層と半導体基板との間の幅）のほぼ2倍である。これにより、空乏層は界面からドリフト層中に、隣接するリサーフ層（トレンチ）側および半導体基板側に同じ幅で広がることもできる。したがって、空乏層における電界の強さを常に均一にすることができるので、この半導体装置の耐圧は高い。

#### 【0018】

請求項4記載の発明は、上記ドリフト層および上記リサーフ層に接するように形成された上記第2導電型のベース領域（8）と、上記ベース領域に接するように形成され、上記ベース領域により上記ドリフト層および上記リサーフ層と隔てられた上記第1導電型のソース領域（7）と、上記ソース領域と上記ドリフト層との間のベース領域にゲート絶縁膜（11）を挟んで対向配置されたゲート電極（10）とをさらに備えたことを特徴とする請求項1ないし3のいずれかに記載の半導体装置である。

#### 【0019】

この発明に係る半導体装置は、上記ソース領域と上記半導体基板（ドレイン領域）との間に適当な大きさの電圧を印加し、ゲート電極を所定の電位にする（半導体装置をオン状態にする）ことにより、ベース領域において、ソース領域とドリフト層との間でゲート絶縁膜近傍の領域にチャンネルを形成することができる。これにより、ソース領域と半導体基板との間に電流を流すことができる。

#### 【0020】

また、半導体装置がオフ状態のときに、ドリフト層とリサーフ層とにより形成されるP

N接合に対して大きな逆バイアス電圧が印加された場合でも、高い耐圧を有することができ

る。  
この半導体装置は、ドリフト層、ベース領域、およびソース領域が、ベース領域とゲート電極との対向部付近で、半導体基板に平行な方向に配列された、いわゆるプレーナ型のものであってもよい。また、この半導体装置は、半導体基板に垂直に形成されたトレンチ内にゲート電極が配置され、ドリフト層、ベース領域、およびソース領域が、ベース領域とゲート電極との対向部付近で当該トレンチの深さ方向に配列された、いわゆるトレンチゲート型のものであってもよい。

#### 【0021】

請求項5記載の発明は、第1導電型の半導体基板(2)上に、上記第1導電型のドリフト層(3)、および上記第1導電型とは異なる第2導電型のリサーフ層(9)を、上記半導体基板に平行な横方向に交互に配置してスーパージャンクション構造を形成した半導体層(13)を有する半導体装置(1, 31)の製造方法であって、上記第1導電型の半導体基板の上に、上記第1導電型の半導体層(15)を形成する工程と、上記半導体層に、上記半導体層の途中に至る深さを有するトレンチ(22)を形成する第1トレンチ形成工程と、この第1トレンチ形成工程の後、上記トレンチの内側壁に沿う領域に上記第2導電型のリサーフ層を形成するために、上記トレンチの内側壁に露出した上記半導体層に上記第2導電型の不純物を導入するトレンチ内不純物導入工程と、このトレンチ内不純物導入工程の後、上記トレンチの深さを上記半導体層を貫通し上記半導体基板に至る深さにする第2トレンチ形成工程とを含むことを特徴とする半導体装置の製造方法である。

#### 【0022】

この半導体装置の製造方法により、請求項1記載の半導体装置を製造することができ、請求項1記載の半導体装置と同様の効果を奏することができる。上記ドリフト層は、上記リサーフ層が形成された後の上記半導体層の残部からなるものとすることができる。

この半導体装置の製造方法によれば、トレンチ内不純物導入工程において、トレンチは半導体基板に至る深さを有していないので、第2導電型の不純物は、半導体層において半導体基板との隣接部に導入されることはない。これにより、ドリフト層(半導体層の残部)によって半導体基板と隔てられたリサーフ層が得られる。

#### 【0023】

上記トレンチ内不純物導入工程は、上記トレンチの内側壁に露出した上記半導体層の表層部に、上記第2導電型の不純物を注入する注入工程を含んでいてもよい。この場合、上記リサーフ層は、この注入工程の後、上記半導体基板を加熱することにより、上記半導体層に注入された当該不純物を上記半導体層中に拡散させる熱拡散工程を実施することにより形成されてもよい。この場合、第1トレンチ形成工程の後、第2トレンチ形成工程の前に、注入工程が実施されればよく、熱拡散工程は、たとえば、第2トレンチ形成工程の後に実施されてもよい。

#### 【0024】

トレンチ内不純物導入工程は、トレンチの内側壁のうちトレンチの幅方向一方側の内側壁にのみ第2導電型の不純物を導入する工程を含んでいてもよい。これにより、トレンチの幅方向一方側の内側壁に沿って形成されたリサーフ層を得ることができる。また、トレンチ内不純物導入工程は、トレンチの内側壁のうち幅方向両側の内側壁に第2導電型の不純物を導入する工程を含んでいてもよい。これにより、トレンチの幅方向両側の内側壁に沿って形成されたリサーフ層を得ることができる。

#### 【0025】

第1トレンチ形成工程において形成されるトレンチの深さを制御することにより、製造された半導体装置のドリフト層において、リサーフ層と半導体基板とに挟まれた部分(分離領域)の縦方向の幅を制御できる。また、トレンチ内不純物導入工程が、熱拡散工程を含む場合、半導体基板を加熱する条件(たとえば、温度や加熱時間)を制御することにより、ドリフト層において、リサーフ層とトレンチまたは隣接する他のリサーフ層とに挟まれた部分の横方向の幅を制御できる。これにより、請求項2または3記載の半導体装置を



製造することができる。

【0026】

請求項6記載の発明は、第1導電型の半導体基板(2)上に、上記第1導電型のドリフト層(3)、および上記第1導電型とは異なる第2導電型のリサーフ層(9)を、上記半導体基板に平行な横方向に交互に配置してスーパージャンクション構造を形成した半導体層(13)を有する半導体装置(1, 31)の製造方法であって、上記第1導電型の半導体基板の上に、上記第1導電型の半導体層(15)を形成する工程と、上記半導体層を貫通し上記半導体基板に至るトレンチ(4)を形成する工程と、上記トレンチの内側壁に沿う領域に上記第2導電型のリサーフ層を形成するために、上記トレンチの内側壁に露出した上記半導体層に、上記第2導電型の不純物を、上記トレンチ内側壁への到達範囲が、上記トレンチの深さ方向に関して上記半導体基板が存在する深さより浅い領域に制限されるような傾斜角で打ち込むトレンチ内不純物導入工程とを含むことを特徴とする半導体装置の製造方法である。

【0027】

この発明によれば、第2導電型の不純物が、トレンチの内側壁において、トレンチの深さ方向に関して半導体基板が存在する深さより浅い領域に到達するように打ち込まれて、リサーフ層が形成される。これにより、ドリフト層によって半導体基板と隔てられたリサーフ層が得られる。ドリフト層は、リサーフ層が形成された後の半導体層の残部からなるものとすることができる。

【0028】

この半導体装置の製造方法は、請求項5記載の半導体装置の製造方法と同様、トレンチ内不純物導入工程が注入工程を含んでいてもよく、この場合、リサーフ層は熱拡散工程が実施されることにより形成されてもよい。また、トレンチ内不純物導入工程は、トレンチの内側壁のうち幅方向一方側の内側壁にのみ第2導電型の不純物を導入する工程を含んでいてもよく、トレンチの内側壁のうち幅方向両側の内側壁に第2導電型の不純物を導入する工程を含んでいてもよい。

【0029】

トレンチの内側壁に対して第2導電型の不純物を打ち込む角度(傾斜角)を制御することにより、製造された半導体装置のドリフト層において、リサーフ層と半導体基板とに挟まれた部分(分離領域)の縦方向の幅を制御できる。また、この半導体装置の製造方法が熱拡散工程を含む場合、半導体基板を加熱する条件(たとえば、温度や加熱時間)を制御することにより、ドリフト層において、リサーフ層とトレンチまたは隣接する他のリサーフ層とに挟まれた部分の横方向の幅を制御できる。これにより、請求項2または3記載の半導体装置を製造することができる。

【0030】

請求項7記載の発明は、上記半導体層の表面に上記第2導電型の不純物を導入して、上記リサーフ層と接する上記第2導電型のベース領域(8)を形成する工程と、上記ベース領域に上記第1導電型の不純物を導入して、上記ベース領域の残部により上記ドリフト層およびリサーフ層と隔てられた上記第1導電型のソース領域(7)を形成する工程と、上記ソース領域と上記ドリフト層との間の上記ベース領域に対向するゲート絶縁膜(11)を形成する工程と、上記ゲート絶縁膜を挟んで、上記ソース領域と上記ドリフト層との間の上記ベース領域に対向配置されたゲート電極(10)を形成する工程とをさらに含むことを特徴とする請求項5または6記載の半導体装置の製造方法である。

【0031】

この半導体装置の製造方法により、請求項4記載の半導体装置を製造することができ、請求項4記載の半導体装置と同様の効果を奏することができる。

【発明を実施するための最良の形態】

【0032】

以下では、添付図面を参照して、本発明の実施の形態について詳細に説明する。

図1は、本発明の第1の実施形態に係る半導体装置1の構造を示す図解的な断面図であ

る。

導電型が $N^+$ 型でドレイン領域をなすシリコン基板2の上には、いわゆる、スーパージャンクション構造が形成された半導体層13が設けられている。半導体層13は、導電型が $N^-$ 型のドリフト層3と導電型が $P^-$ 型のリサーフ層9とを含んでおり、ドリフト層3とリサーフ層9とは、シリコン基板2に平行な横方向に交互に（繰り返し）現れるように配列されている。

#### 【0033】

半導体層13を貫通し、シリコン基板2に至る深さを有する複数のトレンチ4が互いにほぼ平行に形成されている。トレンチ4は、シリコン基板2にほぼ垂直な内側壁を有しており、図1の紙面に垂直な方向に延びている。すなわち、トレンチ4の長さ方向は図1の紙面に垂直な方向であり、トレンチ4の幅方向は、図1の紙面に平行かつシリコン基板2に平行な方向である。

#### 【0034】

図1には2つのトレンチ4のみを示しているが、半導体装置1には、より多くのトレンチ4が形成されていて、これらのトレンチ4は、ほぼ等間隔に形成されている。

トレンチ4の内壁に沿って酸化シリコン膜5が形成されており、トレンチ4の内部はポリシリコン6で満たされている。

リサーフ層9は、各トレンチ4幅方向に関して、同じ一方側の内側壁に沿って形成されている。すなわち、リサーフ層9は、隣接する2つのトレンチ4の間で、一方のトレンチ4に近接して形成されており、酸化シリコン膜5に接している。ドリフト層3は、隣接する2つのリサーフ層9の間（リサーフ層9とトレンチ4との間）で、トレンチ4の他方側の内側壁に沿って、リサーフ層9と平行に形成されている。

#### 【0035】

ドリフト層3は、さらに、リサーフ層9の下（シリコン基板2とリサーフ層9との間）へと潜り込んでいる。すなわち、リサーフ層9とシリコン基板2とは、ドリフト層3によって隔てられており、リサーフ層9はシリコン基板2には接していない。

ドリフト層3において、リサーフ層9とトレンチ4とに挟まれた部分 $3_H$ と、リサーフ層9とシリコン基板2（ドレイン領域）とに挟まれた部分（以下、「分離領域」という。） $3_V$ とは連続している。リサーフ層9とトレンチ4とに挟まれた部分 $3_H$ の横方向の幅 $D_1$ は、分離領域 $3_V$ のトレンチ4の深さ方向に沿う縦方向の幅 $D_2$ にほぼ等しい。ドリフト層3は、ほぼ均一な不純物濃度を有しており、リサーフ層9とトレンチ4とに挟まれた部分 $3_H$ と、分離領域 $3_V$ とは、ほぼ同じ不純物濃度を有する。

#### 【0036】

半導体層13の表面（シリコン基板2側とは反対側の面）近傍で、トレンチ4の上記一方の側方（リサーフ層9が近接して形成されている側）に、当該トレンチ4に近接して、導電型が $N^+$ 型のソース領域7が形成されている。ソース領域7とドリフト層3、リサーフ層9、および酸化シリコン膜5との間には、導電型が $P^-$ 型のベース領域8が形成されている。

#### 【0037】

半導体層13の表面近傍において、ドリフト層3とソース領域7との間にあるベース領域8、およびその近傍のドリフト層3およびベース領域7に対向するように、ゲート電極10が配置されている。ゲート電極10は、不純物の導入により導電化されたポリシリコンからなる。ゲート電極10の周囲は、酸化シリコン膜11で覆われている。したがって、ゲート電極10とベース領域8との間には、酸化シリコン膜11により隔てられている。

#### 【0038】

シリコン基板2のドリフト層3およびリサーフ層9が形成された側の面を覆うように、アルミニウムからなるソース電極12が形成されている。ソース電極12は、ソース領域7およびベース領域8に電気接続されている。シリコン基板2の裏面（ソース電極12とは反対側の面）には、ドレイン電極14が形成されている。

この半導体装置1は、ソース電極12およびドレイン電極14の一方と外部負荷とが接

続された状態で、ソース電極 12 およびドレイン電極 14 の他方と外部負荷との間に、電源により一定の電圧（たとえば、数百 V）が印加された状態で使用される。この印加される電圧は、リサーフ層 9 およびドリフト層 3 により形成される PN 接合に対して逆バイアスを与える。

#### 【0039】

この状態で、ゲート電極 10 を所定の電位にする（半導体装置 1 をオン状態にする）ことにより、ソース電極 12 とドレイン電極 14 との間に電流を流すことができる。この際、ドリフト層 3 とソース領域 7 との間のベース領域 8 において、酸化シリコン膜 11 との界面近傍にチャンネルが形成される。

この際、リサーフ層 9 およびドリフト層 3 により形成される PN 接合には、外部負荷と MOS FET のオン抵抗とで分圧した逆バイアス（たとえば、2 V）がかかるが、これにより生じる空乏層の拡がりはずかであり、ドリフト層 3 にはキャリア（電子）の経路が残される。オン状態の半導体装置 1 において、ドリフト層 3 のうち空乏化していない部分を経由して、ソース電極 12 とドレイン電極 14 との間に電流が流れる。

#### 【0040】

一方、この半導体装置 1 がオフ状態のとき、すなわち、ゲート電極 10 が上記所定の電位にされていないときは、チャンネルは形成されず、MOS FET には電流が流れない。このとき、ドリフト層 3 とリサーフ層 9 とにより形成される PN 接合には、電源電圧がそのまま逆バイアスとして印加されることになる。そのため、界面 S からドリフト層 3 およびリサーフ層 9 中へと空乏層がすみやかに広がる。ドリフト層 3 において、空乏層は界面 S から、ドリフト層 3 を挟んで対向するトレンチ 4 側へと広がるとともに、ドリフト層 3 を挟んで対向するシリコン基板 2 側へと向かって広がる。

#### 【0041】

ドリフト層 3 の幅  $D_1$ 、 $D_2$  やリサーフ層 9 の幅が薄くされていると、ドリフト層 3 の不純物濃度が高くされていても、ドリフト層 3 およびリサーフ層 9 は容易に完全に空乏化する。また、オン状態のときの導電経路の一部をなすドリフト層 3 の不純物濃度を高くすることにより、オン抵抗を低減できる。

ドリフト層 3 において、幅  $D_1$  と幅  $D_2$  とがほぼ等しいことにより、空乏層は界面 S からドリフト層 3 中に、隣接するトレンチ 4 側およびシリコン基板 2 側に同じ幅で広がることができる。したがって、空乏層における電界の強さを常に均一にすることができ、局所的に強い電界は生じない。このため、界面 S を介して容易に電流が流れないので、この半導体装置 1 は耐圧が大きい。

#### 【0042】

この半導体装置 1 は、200 V ないし 1000 V 程度の耐圧を有することができ、たとえば、600 V の耐圧を有するものでも、オン抵抗を従来の半導体装置の 5 分の 1 程度とすることができる。

図 2 (a)、図 2 (b)、図 2 (c)、図 2 (d)、および図 2 (e) は、図 1 に示す半導体装置 1 の製造方法を説明するための図解的な断面図である。

#### 【0043】

まず、導電型が  $N^+$  型にされたシリコン基板 2 上に、導電型が  $N^-$  型のエピタキシャル層 15 が形成され、エピタキシャル層 15 の上に、半導体装置 1 のトレンチ 4 に対応する所定の位置に開口 21a が形成されたハードマスク 21 が形成される。ハードマスク 21 は、たとえば、酸化シリコンや窒化シリコンからなる。

続いて、ハードマスク 21 の開口 21a を介して、エピタキシャル層 15 がドライエッチング（たとえば、反応性イオンエッチング）されて、エピタキシャル層 15 の厚さ方向途中に至る深さを有し、シリコン基板 2 には到達しないトレンチ 22 が形成される（第 1 トレンチ形成工程）。

#### 【0044】

このとき、トレンチ 22 の底とシリコン基板 2 との間隔は、半導体装置 1 のドリフト層 3 において、分離領域 3v の縦方向の幅（リサーフ層 9 とシリコン基板 2（ドレイン領域

）とに挟まれた部分の幅)  $D_2$  (図1参照) にほぼ等しくなるようにされる。トレンチ22の幅は、たとえば、 $2\mu\text{m}$ 程度であり、トレンチ22の深さは、たとえば、 $40\mu\text{m}$ 程度である。

#### 【0045】

次に、ハードマスク21の開口21aを介して、トレンチ22の内面に露出したエピタキシャル層15に、P型への制御のための不純物イオンが注入される。このとき、このイオンは、図2(a)に矢印Aで示すように、トレンチ4の幅方向(図2の紙面に平行かつシリコン基板2に平行な方向)に垂直な内側壁に対して所定の角度(傾斜角)をなすように打ち込まれる。トレンチ4の内側壁(シリコン基板2の法線方向)とイオンが打ち込まれる方向とのなす角度は、たとえば、 $1.5^\circ$  ないし  $2^\circ$  とされる。

#### 【0046】

これにより、各トレンチ22の幅方向一方側の内側壁(半導体装置1のトレンチ4において、リサーフ層9が隣接して形成されている側に相当する面)のほぼ全面に、P型の不純物が注入された第1注入領域23が形成される。この状態が、図2(a)に示されている。

次に、ハードマスク21の開口21aを介して、エピタキシャル層15がさらにドライエッチングされる。これにより、トレンチ22がさらに深くされ、シリコン基板2に至る深さを有するトレンチ4が形成される(第2トレンチ形成工程)。この状態が、図2(b)に示されている。その後、ハードマスク21が除去され、エピタキシャル層15の上に、ベース領域8に対応する位置に開口が形成されたレジスト膜(図示せず)が形成される。

#### 【0047】

続いて、このレジスト膜の開口を介して、エピタキシャル層15の表面近傍でベース領域8に対応する薄い領域に、P型の不純物が注入されて第2注入領域24が形成される。その後、レジスト膜が除去される。この状態が、図2(c)に示されている。

続いて、以上の工程を経たシリコン基板2が所定の温度に加熱されて、第1および第2注入領域23、24中のP型の不純物が、エピタキシャル層15中に拡散される。これにより、リサーフ層9およびベース領域8が形成される。エピタキシャル層15の残部は、ドリフト層3となる。この状態が、図2(d)に示されている。

#### 【0048】

次に、ドリフト層3およびベース領域8の上に、ソース領域7に対応する位置に開口が形成されたレジスト膜(図示せず)が形成される。このレジスト膜の開口を介して、ベース領域8の表面近傍でソース領域7に対応する薄い領域に、N型への制御のための不純物が注入されて当該不純物が注入された第3注入領域が形成される。その後、レジスト膜が除去され、以上の工程を経たシリコン基板2が所定の温度に加熱されて、第3注入領域中のN型の不純物が、ベース領域8中に拡散される。これにより、ソース領域7が形成される。この状態が、図2(e)に示されている。

#### 【0049】

次に、以上の工程を経たシリコン基板2が所定の温度に加熱されて、露出表面、すなわち、トレンチ4の内面ならびにドリフト層3、ベース領域8、およびソース領域7の表面が熱酸化されて酸化膜が形成される。さらに、この酸化膜上にポリシリコンからなる膜(ポリシリコン膜)が形成され、このポリシリコン膜が不純物の注入により導電化される。

続いて、このポリシリコン膜のうち、トレンチ4内部およびゲート電極10にほぼ対応する部分以外の部分が除去され、さらに、この状態で露出しているポリシリコン膜の表面が熱酸化されて酸化膜が形成される。

#### 【0050】

次に、酸化膜のうち、トレンチ4の上部および、トレンチ4外でゲート電極10の周囲以外の部分が除去される。これにより、ポリシリコン膜の残部のうち、トレンチ4内のはポリシリコン6となり、トレンチ4外のはゲート電極10となる。酸化膜の残部のうち、トレンチ4内のは酸化シリコン膜5となり、トレンチ4外のはゲート電

極 10 の周囲を覆う酸化シリコン膜 11 となる。

#### 【0051】

その後、以上の工程を経たシリコン基板 2 のソース領域 7 が形成された側およびその反対側に、ソース電極 12 およびドレイン電極 14 がそれぞれ形成されて、図 1 に示す半導体装置 1 が得られる。

以上の製造方法において、トレンチ 4 の内面に露出したエピタキシャル層 15 に、P 型の不純物イオンを注入する際、トレンチ 22 はシリコン基板 2 に至る深さを有していないので、P 型の不純物は、エピタキシャル層 15 においてシリコン基板 2 との隣接部に導入されることはない。このため、ドリフト層 3 によってシリコン基板 2 と隔てられたリサーフ層 9 が得られる。

#### 【0052】

トレンチ 22 を形成する工程においてトレンチ 22 の深さを制御することにより、半導体装置 1 のドリフト層 3 において、分離領域 3v の縦方向の幅（リサーフ層 9 とシリコン基板 2（ドレイン領域）との間の幅） $D_2$  を制御できる。また、シリコン基板 2 を加熱する条件（たとえば、温度や加熱時間）を制御することにより、ドリフト層 3 のリサーフ層 9 とトレンチ 4 とに挟まれた部分 3H の横方向の幅（リサーフ層 9 とトレンチ 4 との間の幅） $D_1$  を制御できる。これにより、幅  $D_1$  と幅  $D_2$  とをほぼ等しくすることができる。

#### 【0053】

図 3 は、半導体装置 1 の他の製造方法を説明するための図解的な断面図である。図 3 において、図 2 (a) ないし図 2 (e) に示す各部に対応する部分には、図 2 (a) ないし図 2 (e) と同じ参照符号を付して説明を省略する。

この半導体装置 1 の製造方法では、図 2 (a) ないし図 2 (e) を用いて説明した半導体装置 1 の製造方法と異なり、ハードマスク 21 の開口 21a を介して、シリコン基板 2 に達する深さを有するトレンチ 4 が形成された後、図 3 に矢印 B で示すように、P 型の不純物イオンが、トレンチ 4 の幅方向に垂直な（長さ方向に沿う）内側壁と所定の角度（わずかな傾斜角）をなすように打ち込まれる。

#### 【0054】

このとき、トレンチ 4 の内側壁とイオンが打ち込まれる方向とのなす角度を制御することにより、トレンチ 4 の内側壁のうち、一定の深さより浅い領域にのみ、第 1 注入領域 23 を形成できる。なぜなら、イオンは直線的に進んでトレンチ 4 の内壁に到達するので、トレンチ 4 の内側壁とイオンが打ち込まれる方向とのなす角度がある程度大きくなると、ハードマスク 21 に阻まれて、イオンがトレンチ 4 の深部に到達できないからである。

#### 【0055】

その後、第 2 注入領域 24 を形成する工程（図 2 (c) 参照）以下の工程を、上記の製造方法と同様に実施することにより、図 1 に示す半導体装置 1 を得ることができる。

以上のような製造方法によっても、リサーフ層 9 とシリコン基板 2 とがドリフト層 3（分離領域 3v）に隔てられた半導体装置 1 を得ることができる。

この際、トレンチ 4 の内側壁とイオンが打ち込まれる方向とのなす角度を制御して、トレンチ 4 の内側壁におけるイオンの到達範囲を制限することにより、第 1 注入領域 23 の形成範囲を制御できる。したがって、半導体装置 1 のドリフト層 3 において、分離領域 3v の縦方向の幅（リサーフ層 9 とシリコン基板 2（ドレイン領域）との間の幅） $D_2$  を制御できる。

#### 【0056】

図 4 は、本発明の第 2 の実施形態に係る半導体装置の構造を示す図解的な断面図である。図 4 において、図 1 に示す各部に対応する部分には、図 1 と同じ参照符号を付して説明を省略する。

この半導体装置 31 は、トレンチ 4 の幅方向両側の内側壁に沿ってリサーフ層 9 が形成されている。

#### 【0057】

隣接する 2 つのトレンチ 4 の間において、ドリフト層 3 は、各トレンチ 4 に沿って形成

されたりサーフ層 9 の間に介在する部分 3<sub>H</sub>と、各リサーフ層 9 の下に潜り込んで、当該リサーフ層 9 とシリコン基板 2 (ドレイン領域) とを離間する分離領域 3<sub>V</sub>とを備えている。したがって、リサーフ層 9 は、いずれの部分でもシリコン基板 2 に接していない。ドリフト層 3 において、隣接するリサーフ層 9 の間に介在する部分 3<sub>H</sub>の横方向の幅 (隣接する 2 つのリサーフ層 9 の間の幅) D<sub>3</sub>は、分離領域 3<sub>V</sub>のトレンチ 4 の深さ方向に沿う縦方向の幅 (リサーフ層 9 とシリコン基板 2 (ドレイン領域) との間の幅) D<sub>4</sub>のほぼ 2 倍となっている。

#### 【0058】

この半導体装置 3 1 は、半導体装置 1 と同様、オン状態のときにベース領域 8 にチャネルを形成し、ソース電極 1 2 とドレイン電極 1 4 との間に電流を流すことができる。一方、半導体装置 3 1 がオフ状態のときに、ドリフト層 3 とリサーフ層 9 とにより形成される PN 接合に対して大きな逆バイアスの電圧が印加されると、ドリフト層 3 とリサーフ層 9 との界面 S から、ドリフト層 3 およびリサーフ層 9 へと空乏層が広がる。これにより、ドリフト層 3 およびリサーフ層 9 を完全に空乏化することができる。

#### 【0059】

ドリフト層 3 において、幅 D<sub>4</sub>が幅 D<sub>3</sub>のほぼ 2 倍にされていることにより、空乏層は界面 S からドリフト層 3 中に、隣接する他方のリサーフ層 9 側およびシリコン基板 2 側に同じ幅で広がることができる。したがって、空乏層における電界強度を常に均一にすることができるので、この半導体装置 3 1 の耐圧は高い。

この半導体装置 3 1 は、半導体装置 1 の製造方法 (図 2 (a) ないし図 2 (e) および図 3 参照) と同様の方法により製造できる。その際、トレンチ 2 2 またはトレンチ 4 の内側壁に P 型の不純物イオンを注入する工程 (図 2 (a) または図 3 参照) において、当該イオンを、トレンチ 4 の内側壁に対してわずかな傾斜角をなし、かつ、シリコン基板 2 に垂直な方向から見て、トレンチ 2 2, 4 の幅方向に沿う (長さ方向に垂直な) 2 方向から打ち込むものとすることができる。

#### 【0060】

これにより、トレンチ 2 2, 4 の幅方向両側の内側壁に当該イオンの注入領域 (第 1 注入領域 2 3) を形成でき、その後のシリコン基板 2 を加熱する工程により、この注入領域からエピタキシャル層 1 5 へ P 型の不純物を拡散させてリサーフ層 9 を形成できる。

この発明の実施形態の説明は、以上の通りであるが、この発明は他の形態で実施することもできる。たとえば、上記の半導体装置 1 の製造方法において、第 1 注入領域 2 3 からエピタキシャル層 1 5 への P 型の不純物の拡散と、第 2 注入領域 2 4 からエピタキシャル層 1 5 への P 型の不純物の拡散とは同時に行われているが、これらは同時に行われる必要はない。たとえば、第 1 注入領域 2 3 からエピタキシャル層 1 5 への P 型の不純物の拡散は、第 1 注入領域 2 3 を形成した直後に行い、第 2 注入領域 2 4 の形成および第 2 注入領域 2 4 からエピタキシャル層 1 5 への P 型の不純物の拡散は、その後に別途行ってもよい。

#### 【0061】

第 2 の実施形態に係る半導体装置 3 1 において、リサーフ層 9 は、トレンチ 4 の長さ方向両端部の内側壁にも形成されていてもよい。すなわち、トレンチ 4 の内側壁には全周に渡って、リサーフ層 9 が形成されていてもよい。

この場合、P 型の不純物を、トレンチ 4 の内側壁に対してわずかな傾斜角をなし、かつ、シリコン基板 2 に垂直な方向から見て、トレンチ 2 2, 4 の幅方向に垂直および平行な 4 方向から打ち込むことにより、トレンチ 4 のすべての内側壁に注入領域を形成でき、その後の加熱工程により、この注入領域からエピタキシャル層 1 5 へ P 型の不純物を拡散させてリサーフ層 9 を形成できる。

#### 【0062】

その他、特許請求の範囲に記載された事項の範囲で種々の変更を施すことが可能である。

#### 【図面の簡単な説明】

## 【0063】

【図1】本発明の第1の実施形態に係る半導体装置の構造を示す図解的な断面図である。

【図2(a)】図1の半導体装置の製造方法を説明するための図解的な断面図である。

【図2(b)】図1の半導体装置の製造方法を説明するための図解的な断面図である。

【図2(c)】図1の半導体装置の製造方法を説明するための図解的な断面図である。

【図2(d)】図1の半導体装置の製造方法を説明するための図解的な断面図である。

【図2(e)】図1の半導体装置の製造方法を説明するための図解的な断面図である。

【図3】図1の半導体装置の他の製造方法を説明するための図解的な断面図である。

【図4】本発明の第2の実施形態に係る半導体装置の構造を示す図解的な断面図である。

【図5】MOSFETが形成された従来の半導体装置の図解的な断面図である。

## 【符号の説明】

## 【0064】

1, 31 半導体装置

2 シリコン基板

3 ドリフト層

3<sub>H</sub> ドリフト層のリサーフ層とトレンチまたは隣接する他のリサーフ層との間に挟

まれた部分

3<sub>V</sub> 分離領域

4, 22 トレンチ

7 ソース領域

8 ベース領域

9 リサーフ層

10 ゲート電極

11 酸化シリコン膜

13 半導体層

15 エピタキシャル層

D<sub>1</sub>, ドリフト層のリサーフ層とトレンチとに挟まれた部分の横方向の幅

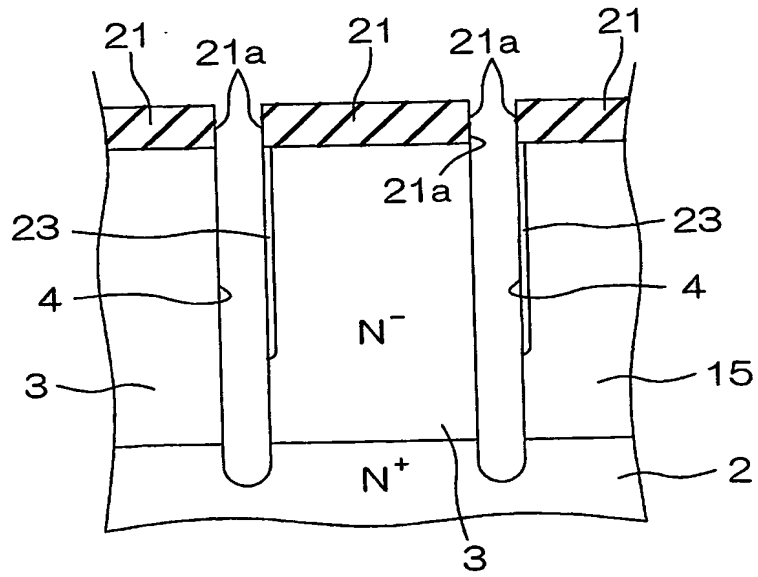
D<sub>2</sub>, D<sub>4</sub> ドリフト層の分離領域の縦方向の幅

D<sub>3</sub> ドリフト層の隣接する2つのリサーフ層の間に介在する部分の横方向の幅

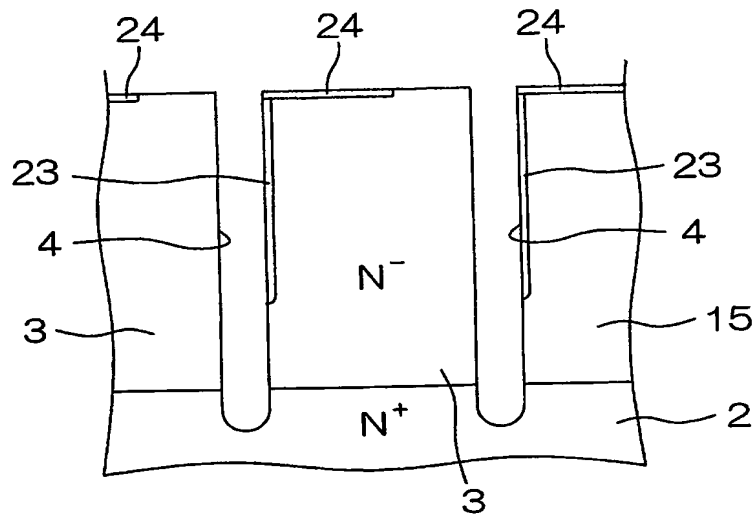




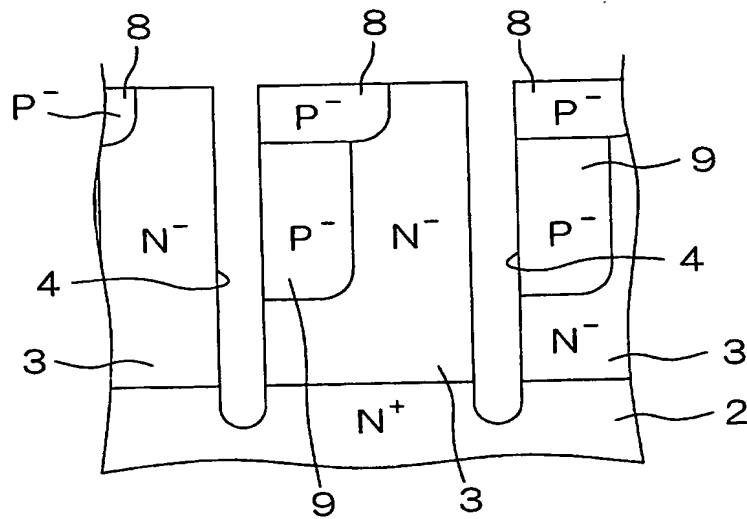
【図 2 (b)】



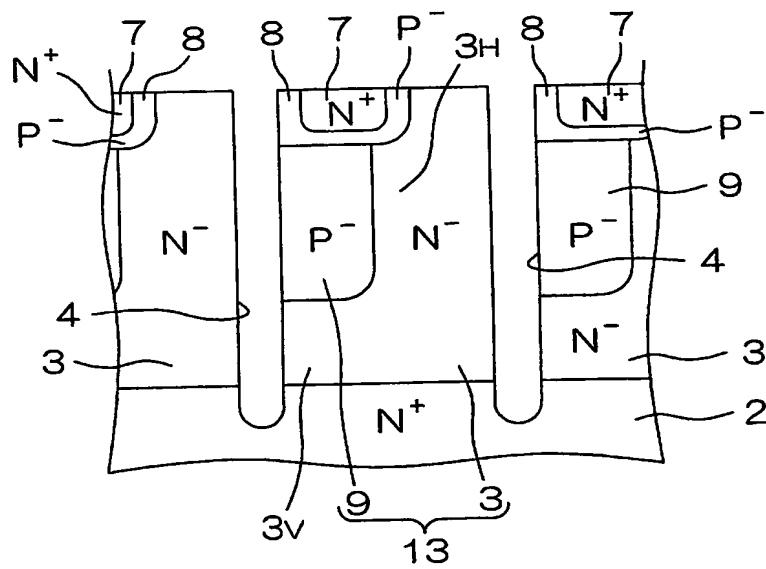
【図 2 (c)】



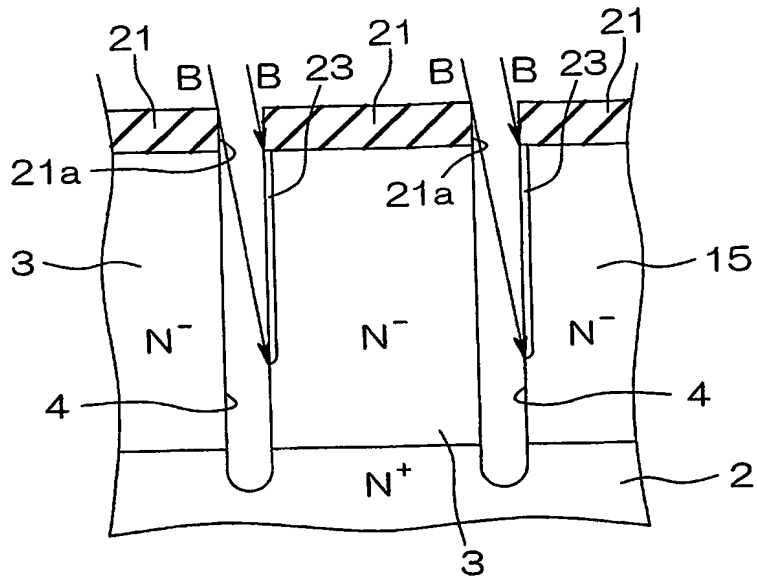
【図 2 (d)】



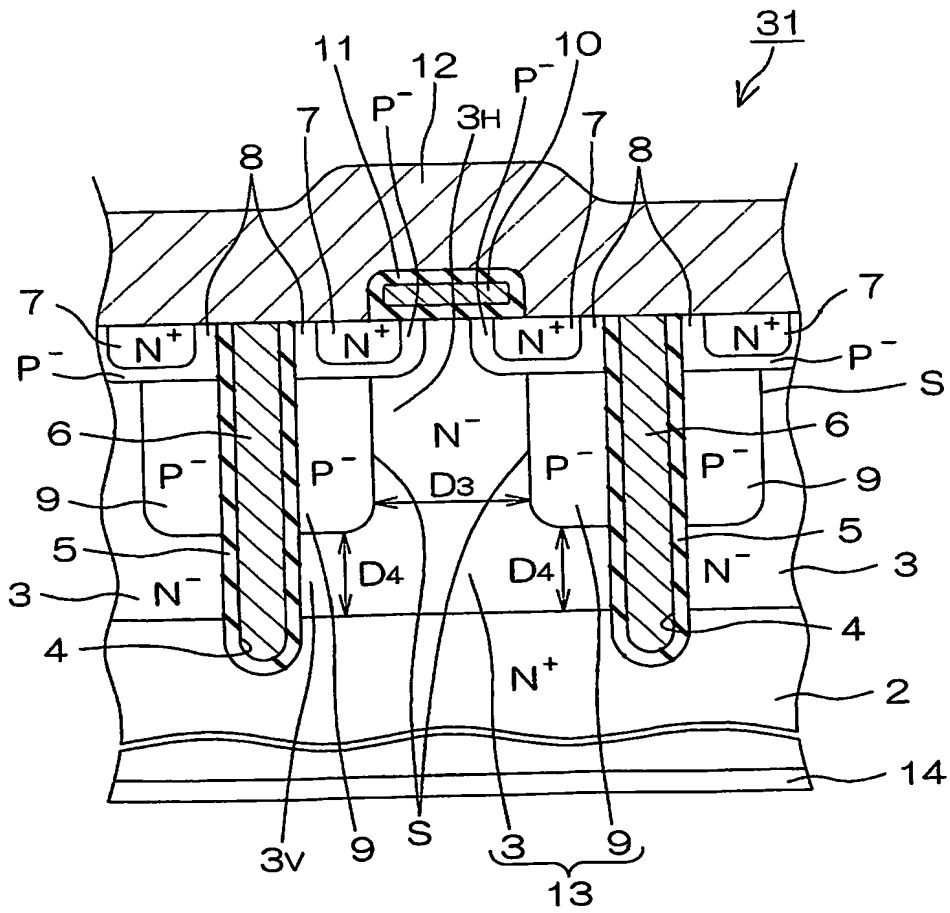
【図 2 (e)】



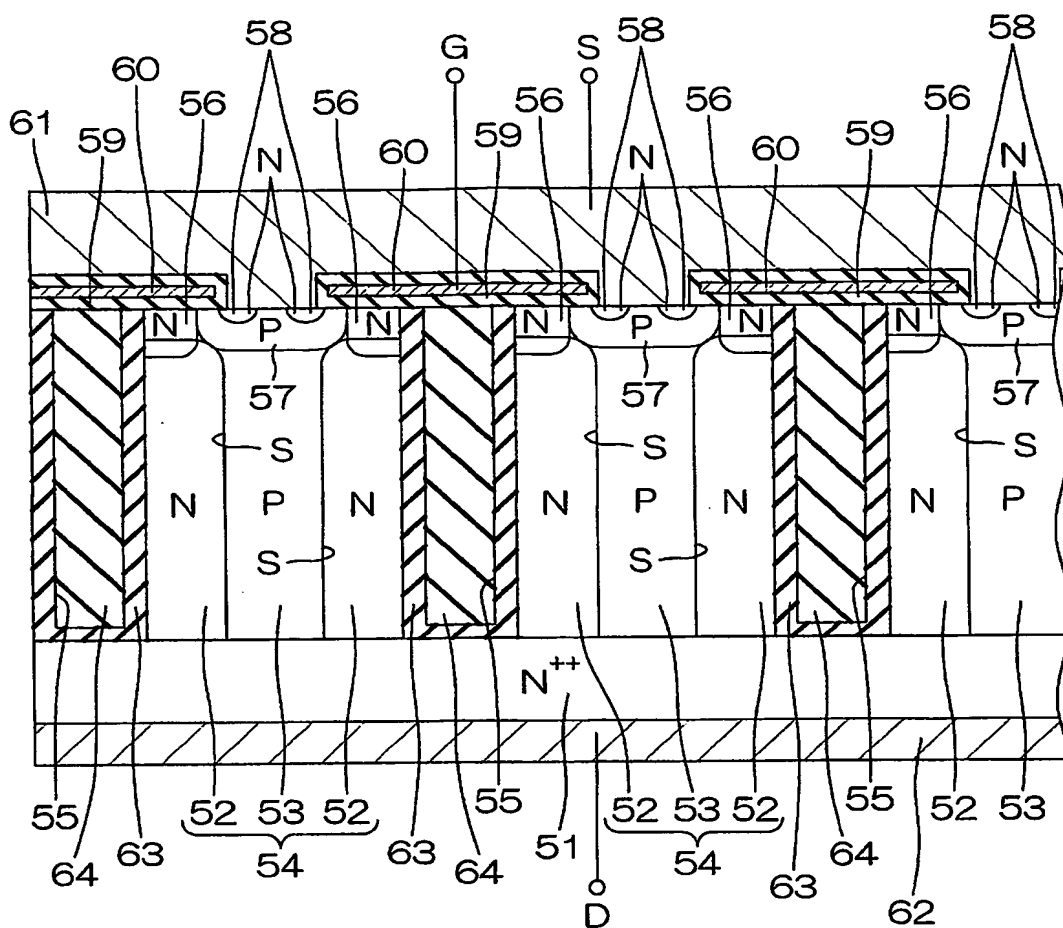
【図 3】



【図 4】



【図5】



## 【書類名】 要約書

## 【要約】

【課題】 耐圧を向上させることができる半導体装置およびその製造方法を提供する。

【解決手段】 導電型が $N^+$ 型でドレイン領域をなすシリコン基板 2 の上には、いわゆる、スーパージャンクション構造が形成された半導体層 1 3 が設けられている。半導体層 1 3 は、導電型が $N^-$ 型のドリフト層 3 と導電型が $P^-$ 型のリサーフ層 9 とを含んでおり、ドリフト層 3 とリサーフ層 9 とは、シリコン基板 2 に平行な方向に交互に現れるように配列されている。ドリフト層 3 は、リサーフ層 9 の下（シリコン基板 2 とリサーフ層 9 との間）へと潜り込んでいる。すなわち、リサーフ層 9 は、ドリフト層 3 によってシリコン基板 2 と隔てられており、シリコン基板 2 に接していない。

【選択図】 図 1

特願 2 0 0 3 - 4 3 5 2 6 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 1 6 0 2 4 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/019740

International filing date: 24 December 2004 (24.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2003-435265  
Filing date: 26 December 2003 (26.12.2003)

Date of receipt at the International Bureau: 17 February 2005 (17.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**